

# 2026 VLSI Review

KAIST 전기및전자공학부 박사과정 이준기

## Session 22 Fast and High-PSR On-Chip LDO Regulation

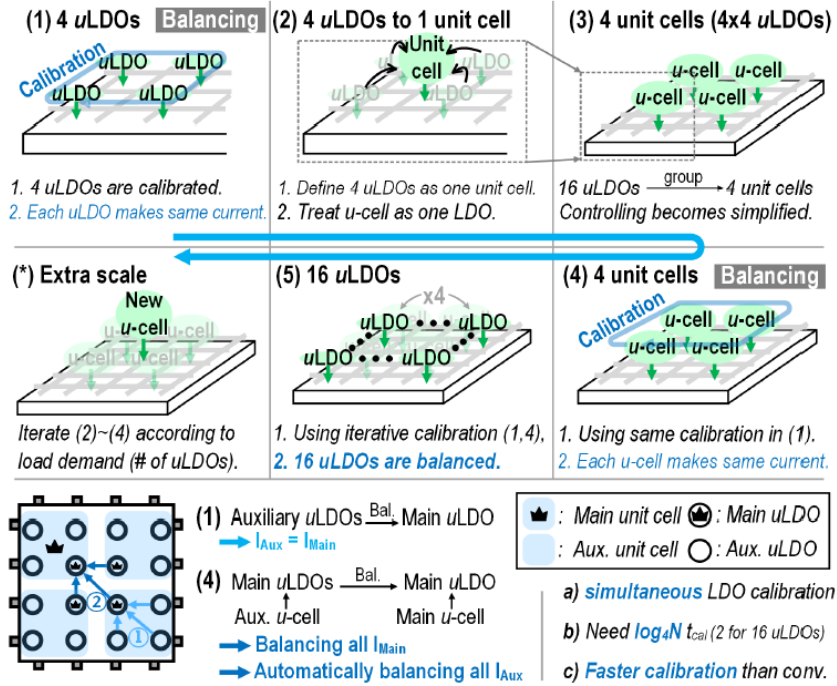
이번 2026 VLSI의 Session 22에서는 Fast and High-PSR On-Chip LDO Regulation이라는 주제로 총 4편의 논문이 발표되었다. 이번 session에서는 고성능 SoC의 안정적인 전력 공급을 위한 on-chip LDO 기술들이 다루어졌으며, 빠른 과도응답을 위한 digital LDO 제어 기법부터 분산형 LDO의 전류 균일화, 넓은 주파수 범위의 전원 잡음을 억제하기 위한 high-PSR analog LDO까지 다양한 회로 기술들이 소개되었다. 본 review에서는 대규모 distributed LDO에서 빠르고 정확한 전류 균일화를 구현한 C22-2와 최대 1GHz까지 높은 PSR 성능을 확보하면서 빠른 과도응답을 달성한 C22-3을 다룬다.

#22-2는 서강대학교에서 발표한 논문으로, 대규모 distributed digital LDO에서 빠르고 정확한 전류 균일화를 달성하기 위한 scalable distributed digital LDO(SD-DLDO)를 제안하였다. Distributed LDO에서는 여러 unit LDO(uLDO)의 출력전류가 균일하지 않을 경우 특정 영역에 전류가 집중되어 local hotspot을 야기할 수 있다. 또한, 기존의 serial 또는 hierarchical calibration 방식은 N개의 uLDO 전류를 균일화하기 위해 N-1번의 순차적인 calibration이 필요하므로 LDO 개수가 증가할수록 convergence time이 크게 증가하는 한계점이 존재한다.

해당 논문에서는 이러한 문제를 해결하기 위해 analog current sensor와 group-based simultaneous calibration을 적용하였다. 각 uLDO 내부에는 하나의 power transistor와 함께 compact analog current sensor를 집적하여 실제 출력전류를 직접 감지한다. 또한, conventional serial calibration과 달리 4개의 uLDO를 하나의 group으로 구성하고, group 내부의 모든 uLDO를 동시에 calibration한다. Calibration이 완료된 4개의 uLDO를 하나의 unit cell로 취급한 뒤, 다시 4개의 unit cell을 상위 단계에서 동일한 방식으로 calibration 함으로써 구조를 계층적으로 확장할 수 있다. 이를 통해 N개의 uLDO를 균일화하는데 필요한 calibration step을 획기적으로 감소시켰다.

제안하는 구조는 28nm CMOS 공정에서 16개의 uLDO로 구현되었다. 측정 결과 부하전류가 1.6A인 상황에서 134.6 $\mu$ s의 convergence time과 5.2%의 current balancing error를 달성하였으며, balancing 과정에서도 출력전압에 glitch나 ringing이 발생하지 않았다.

## Scalable group-based balancing steps



[그림 1] 그룹-기반 동시 교정을 이용한 scalable distributed digital LDO

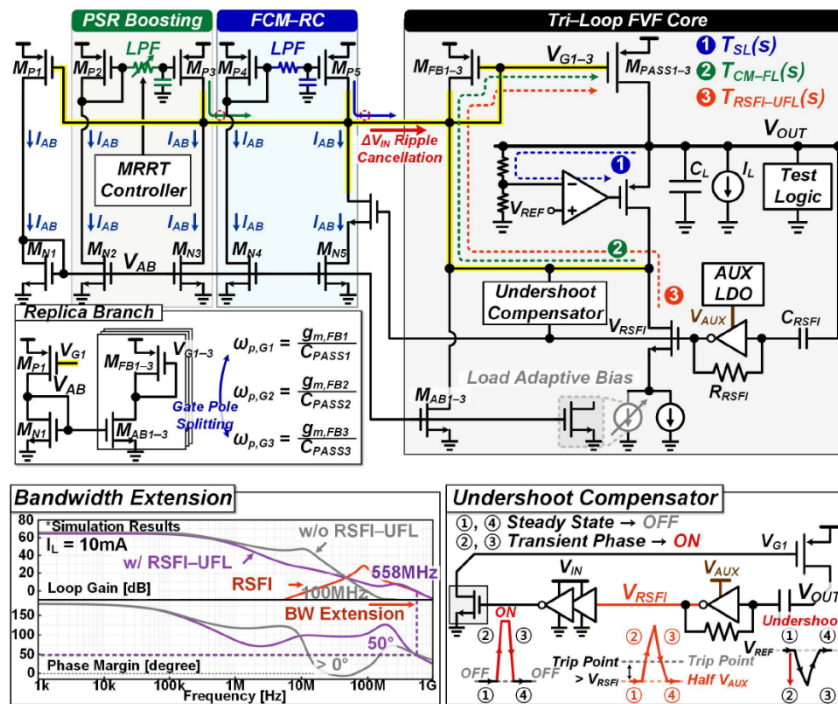
#22-3은 성균관대학교에서 발표한 논문으로, 넓은 주파수 범위의 PSR과 빠른 과도응답을 동시에 달성하기 위한 gain-bandwidth(GBW)-enhanced tri-loop analog LDO를 제안하였다. 최근 SoC에서는 switching regulator와 LDO를 함께 사용하는 전원 구조와 빈번한 active-idle mode transition으로 인해 넓은 주파수 범위의 전원 ripple과 급격한 부하 변동이 동시에 발생한다. 기존의 fully integrated LDO는 high-frequency PSR과 빠른 transient response 사이에 trade-off가 존재하기 때문에, 이를 해결하기 위해 세 종류의 regulation loop을 이용하여 두 성능을 동시에 향상시켰다.

제안하는 LDO는 gain-enhanced slow loop(SL), current-mirror-based fast loop(CM-FL), regulated shunt-feedback-inverter-based ultrafast loop(RSFI-UFL)의 세 개 loop으로 구성된다. SL은 높은 DC regulation gain과 저주파 PSR을 향상시키며, CM-FL에는 filtered current-mirror ripple cancellation을 적용하여 입력 전압에서 발생한 ripple 성분을 feedback path에 주입함으로써 pass transistor의  $\Delta V_{SG}$ 를 최소화한다. RSFI-UFL은 LDO 출력의 고주파 성분을 빠르게 감지하여 regulation bandwidth를 500MHz 이상으로 확장하고, load transient 시 pass transistor의 gate를 빠르게 구동하여 transient response를 개선한다.

특히 해당 논문에서는 switching regulator의 dominant ripple을 선택적으로 억제하기 위해 notch-like PSR boosting과 maximum ripple rejection tracking(MRRT) 기법을

제안하였다. 추가적인 filtered current-mirror path의 attenuation coefficient를 조절하여 특정 주파수에서의 supply-ripple을 상쇄하였다. MRRT controller는 time-domain ripple sensor와 Vernier TDC를 이용하여 출력에 존재하는 잔여 ripple 크기를 감지한다. 이후 control word를 sweep하면서 잔여 ripple이 최소가 되는 조건을 자동으로 탐색하여 PSR boosting frequency를 입력 전압의 dominant ripple frequency 맞춘다.

제안하는 LDO는 40nm CMOS 공정에서 제작되었으며, 40pF의 on-chip output capacitor를 사용하였다. 측정 결과 10Hz부터 1GHz까지 -25.5dB보다 우수한 PSR을 유지하고, 10MHz에서는 MRRT를 통해 -52.8dB의 PSR을 달성하였다. 또한, 0.15mA에서 10mA로 변화하는 load transient에서 50mV의 undershoot과 13ns settling time을 달성하였다. 실제 pre-stage DC-DC converter와 연결한 측정 결과, MRRT를 통해 출력 ripple을 약 10배 감소시켰다.



[그림 2] GBW-enhanced tri-loop LDO의 전체 회로 구조

## 저자정보



### 이준기 박사과정 대학원생

- 소속 : KAIST
- 연구분야 : Power Management ICs
- 이메일 : leejune@kaist.ac.kr
- 홈페이지 : <https://www.icdesignlab.net/>